



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0013446
Application Number

출원 년 월 일 : 2003년 03월 04일
Date of Application MAR 04, 2003

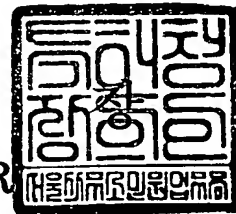
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.04
【발명의 명칭】	제어 패킷의 적응적 대역 할당을 위한 패킷 포워딩 시스템의 제어 패킷 관리 장치 및 그의 제어 패킷 관리 방법
【발명의 영문명칭】	Packet forwarding system having control packet processor that allocates the bandwidth for control packet adaptively and a method processing thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2003-002208-1
【발명자】	
【성명의 국문표기】	정민섭
【성명의 영문표기】	JEONG, MIN SEOP
【주민등록번호】	700727-1036823
【우편번호】	137-932
【주소】	서울시 서초구 반포1동 30-20 삼호가든4차아파트 가동 1003호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조 의 규정에 의한 출원심사 를 청구합니다. 대리인 정홍식 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 7 면 7,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 785,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

패킷 포워딩 시스템의 제어 패킷 관리 장치는, 전달된 제어 패킷을 저장하기 위한 복수의 큐를 가지는 패킷 큐와, 복수의 큐 중 어느 하나의 큐에 저장된 제어 패킷을 원-바이-원(one-by-one) 인터럽트 방식으로 호스트에 전달하는 제1처리부와, 어느 하나의 큐에 저장된 제어 패킷을 그룹핑하여 그룹 단위의 제어 패킷을 직접 메모리 액세스(DMA:Direct Memory Access) 방식으로 호스트에 전달하는 제2처리부와, 어느 하나의 큐에 저장된 제어 패킷 중 빈도가 가장 높은 종류의 제어 패킷을 삭제하는 제3처리부, 및 복수의 큐에 저장된 제어 패킷의 적체 상태에 대응하여 선택적으로 제1, 제2, 및 제3처리부의 동작여부를 제어하는 제어부를 갖는다. 제어부는, 제3처리부에서 삭제된 빈도가 가장 높은 종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 복수의 큐 중 다른 하나의 큐에 저장한다. 따라서, 전달되는 제어 패킷의 양에 적응적으로 전송 대역폭을 할당함으로써 시스템의 전체 성능을 향상시킬 수 있다.

【대표도】

도 2

【색인어】

제어 패킷, 제어 트래픽, 인터럽트방식, DMA방식, 적응적 대역폭 할당

【명세서】

【발명의 명칭】

제어 패킷의 적응적 대역 할당을 위한 패킷 포워딩 시스템의 제어 패킷 관리 장치 및 그의 제어 패킷 관리 방법{Packet forwarding system having control packet processor that allocates the bandwidth for control packet adaptively and a method processing thereof}

【도면의 간단한 설명】

도 1은 종래의 패킷 포워딩 시스템의 제어 패킷 관리 장치에 대한 개략적인 블록도,

도 2는 본 발명에 따른 패킷 포워딩 시스템의 제어 패킷 관리 장치에 대한 개략적인 블록도,

도 3은 도 2의 제어 패킷 관리 장치의 동작과정을 설명하기 위한 개념도, 그리고,

도 4는 도 2의 제어 패킷 관리 장치의 제어 패킷 관리 방법에 대한 흐름도이다.

* 도면의 주요부분에 대한 부호의 설명 *

210 : 제어 패킷 처리 장치 220 : 호스트

211 : 패킷 큐(packet queue) 213 : 인터럽트 처리부

215 : DMA 처리부 217 : 삭제 처리부

219 : 제어부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 네트워크 시스템에 사용되는 패킷 포워딩 시스템에 관한 것으로, 보다 상세하게는 포워딩되는 패킷 중 네트워크를 관리하는 제어 패킷(control packet or control traffic)을 효율적으로 관리할 수 있는 패킷 포워딩 시스템의 제어 패킷 관리 장치 및 그의 제어 패킷 처리 방법에 관한 것이다.
- <11> 네트워크와 네트워크를 연결하는 대표적인 장치에는 라우터(Router), 스위치(Switch) 등이 있다. 이러한 라우터, 스위치 등의 주기능은 데이터 패킷(Data Packet)을 원하는 목적지로 전달하며, 데이터 패킷을 원하는 목적지로 전달하기 위해서는 네트워크를 관리하는 제어 패킷을 호스트에 전달하여 처리하는 제어 패킷 관리 장치를 갖는다.
- <12> 도 1은 종래의 제어 패킷 관리 장치(110)에 대한 개략적인 블록도이며, 제어 패킷 관리 장치(110)로부터 전달받은 제어 패킷을 처리하는 호스트(120)를 갖는다.
- <13> 제어 패킷 관리 장치(110)는, 입력되는 제어 패킷을 임시 저장하는 큐(Queue)(111)와, 큐(111)에 저장된 제어 패킷을 인터럽트 방식을 이용하여 호스트 프로세서(120)에 전달하는 제어부(113)를 갖는다.
- <14> 제어 패킷이 입력되면, 큐(111)에 임시 저장되며, 제어부(112)는 큐(111)에 임시 저장된 제어 패킷을 바로 바로 호스트(120)에 인터럽트 방식으로 전달한다

. 즉, 제어부(113)는 큐(111)를 검색하여 전달해야 하는 제어 패킷이 존재하면, 인터럽트 신호(interrupt signal)를 호스트(120)의 CPU(121)에 전송하여 처리할 제어 패킷의 존재여부를 알려 준다. 이때, CPU(121)는 현재의 동작 상태를 일시 정지하고 인터럽트 서비스 루틴(interrupt service routin)을 활성화하여 큐(111)에 존재하는 제어 패킷을 호스트(120)의 레지스터(123)로 읽어 레지스터(123)에 기록한다. 그 후, CPU(121)는 레지스터(123)에 기록된 제어 패킷을 읽어 처리한다.

<15> 이와 같이, 종래의 제어 패킷 관리 장치(110)는, 입력되는 제어 패킷을 하나씩 읽어 바로 바로 호스트(120)에 전달하는 원-바이-원 인터럽트(one-by-one interrupt)방식을 사용한다. 원-바이-원 인터럽트 방식은, 입력된 제어 패킷을 호스트(120)에 전달하는 과정에서 많은 시간을 소비하기 때문에 일시적으로 호스트(120)로 전달해야 하는 제어 패킷이 폭주하는 경우에는 호스트(120)의 성능에 커다란 악영향을 미치며, 심한 경우에는 호스트(120)가 다운되기도 하는 문제점을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 상기와 같은 문제점을 해결하기 위한 본 발명에 따른 목적은, 일시적으로 호스트로 전달해야 하는 제어 패킷이 폭주하는 경우에 효율적으로 제어 패킷을 관리할 수 있는 패킷 포워딩 시스템의 제어 패킷 관리 장치 및 그의 제어 패킷 관리 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <17> 상기 목적을 달성하기 위한 본 발명에 따른 패킷 포워딩 시스템의 제어 패킷 관리 장치는, 전달된 제어 패킷을 저장하기 위한 복수의 큐를 가지는 패킷 큐와, 상기 복수의 큐 중 어느 하나의 큐에 저장된 상기 제어 패킷을 원-바이-원(one-by-one) 인터럽트 방식으로 호스트에 전달하는 제1처리부와, 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 소정의 크기로 그룹핑하여 그룹 단위의 제어 패킷을 직접 메모리 액세스(DMA:Direct Memory Access) 방식으로 상기 호스트에 전달하는 제2처리부와, 상기 어느 하나의 큐에 저장된 상기 제어 패킷 중 빈도가 가장 높은 종류의 제어 패킷을 삭제하는 제3처리부, 및 상기 복수의 큐에 저장된 상기 제어 패킷의 적체상태에 대응하여 선택적으로 상기 제1, 제2, 및 제3처리부의 동작여부를 제어하는 제어부를 포함하며, 상기 제어부는, 상기 제3처리부에서 삭제된 상기 빈도가 가장 높은 종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 상기 복수의 큐 중 다른 하나의 큐에 저장한다.
- <18> 상기 제어부는, 상기 다른 하나의 큐에 저장된 상기 다른 종류의 제어 패킷의 적체상태에 대응하여 선택적으로 상기 제1, 제2, 및 제3처리부의 동작여부를 제어한다.
- <19> 상기 패킷 큐는 기설정된 임계치를 가지며, 상기 제어부는, 상기 임계치에 기초하여 상기 패킷 큐에 적체상태를 인식하고, 상기 적체상태에 대응하여 상기 제1, 제2, 제3처리부의 동작여부를 제어한다.
- <20> 상기 제어부는, 상기 어느 하나의 큐의 적체상태가 제1임계치 미만인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 상기 인터럽트 방식으로 상기

호스트에 전달하도록 상기 제1처리부를 제어하며, 상기 어느 하나의 큐의 적체상태가 제1임계치 이상인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 그룹핑하여 상기 그룹 단위의 제어 패킷을 직접 메모리 액세스 방식으로 상기 호스트에 전달하도록 상기 제2처리부를 제어하며, 상기 어느 하나의 큐의 적체상태가 제2임계치 이상인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷 중 상기 빈도가 가장 높은 제1종류의 제어 패킷을 삭제하도록 상기 제3처리부를 제어한다. 이에 의해 상기 제1종류의 제어 패킷 이외의 다른 종류의 제어 패킷은 상기 다른 하나의 큐에 저장한다.

<21> 또한, 상기 제어부는, 상기 다른 하나의 큐의 적체상태가 제3임계치 미만인 경우, 상기 다른 하나의 큐에 저장된 상기 제어 패킷을 상기 인터럽트 방식으로 상기 호스트에 전달하도록 상기 제1처리부를 제어하며, 상기 다른 하나의 큐의 적체상태가 제3임계치 이상인 경우, 상기 다른 하나의 큐에 저장된 상기 제어 패킷을 그룹핑하여 상기 그룹 단위의 제어 패킷을 직접 메모리 액세스 방식으로 상기 호스트에 전달하도록 상기 제2처리부를 제어하며, 상기 다른 하나의 큐의 적체상태가 제4임계치 이상인 경우, 상기 다른 하나의 큐에 저장된 상기 다른 종류의 제어 패킷 중 빈도가 가장 높은 제2종류의 제어 패킷을 삭제하도록 상기 제3처리부를 제어한다. 이에 의해 상기 제2종류의 제어 패킷 이외의 다른 종류의 제어 패킷은, 상기 복수의 큐 중 나머지 다른 하나의 큐에 저장한다.

<22> 여기서, 상기 패킷 큐에 상기 나머지 다른 하나의 큐가 비존재할 경우, 상기 제어부는, 상기 다른 하나의 큐의 적체상태가 상기 제4임계치 이상이 되면,

상기 다른 종류의 제어 패킷이 상기 다른 하나의 큐에 저장되는 것을 막도록 상기 제3처리부를 제어한다.

<23> 한편, 본 발명에 따른 패킷 포워딩 시스템의 제어 패킷 관리 방법은, 복수의 큐 중 어느 하나의 큐에 전달된 제어 패킷을 저장하는 제1저장단계와, 상기 하나의 큐에 저장된 상기 제어 패킷을 원-바이-원(one-by-one) 인터럽트 방식으로 호스트에 전달하는 제1처리단계와, 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 소정의 크기로 그룹핑하여 그룹 단위의 제어 패킷을 직접 메모리 액세스(DMA:Direct Memory Access) 방식으로 상기 호스트에 전달하는 제2처리단계와, 상기 어느 하나의 큐에 저장된 상기 제어 패킷 중 빈도가 가장 높은 종류의 제어 패킷을 삭제하는 제3처리단계, 및 상기 제3처리단계에서 삭제된 상기 빈도가 가장 높은 종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 상기 복수의 큐 중 다른 하나의 큐에 저장하는 제2저장단계를 가지며, 상기 제1, 제2, 및 제3처리단계의 동작여부는 상기 어느 하나의 큐에 저장된 상기 제어 패킷의 적체상태에 대응하여 선택적으로 동작하는 것을 특징으로 한다.

<24> 상기 제1, 제2, 및 제3처리단계는, 상기 다른 하나의 큐에 저장된 상기 다른 종류의 제어 패킷의 적체상태에 대응하여 선택적으로 동작한다.

<25> 상기 제1처리단계는 상기 어느 하나의 큐의 적체상태가 제1임계치 미만인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 상기 인터럽트 방식으로 상기 호스트에 전달하며, 상기 제2처리단계는 상기 어느 하나의 큐의 적체상태가 제1임계치 이상인 경우 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 그룹핑하여 상기 그룹 단위의 제어 패킷을 직접 메모리 액세스 방식으로 상기 호스트에

전달하며, 상기 제3처리단계는 상기 어느 하나의 큐의 적체상태가 제2임계치 이상인 경우 상기 어느 하나의 큐에 저장된 상기 제어 패킷 중 상기 빈도가 가장 높은 제1종류의 제어 패킷을 삭제한다. 이때, 상기 제2저장단계는 상기 제1종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 상기 다른 하나의 큐에 저장한다.

<26> 따라서, 첫째, 제어 패킷을 임시 저장하는 큐에 적체되지 않은 상태에서는 원 바이 원 인터럽트 방식에 의해 제어 패킷을 호스트에 전달함으로써 지연시간을 최소화 할 수 있다.

<27> 둘째, 제어 패킷이 일시적으로 큐에 적체되는 경우에는 고대역폭을 할당함으로써 호스트에서 처리되는 제어 패킷의 속도를 향상시킴에 따라서, 폭주하는 제어 패킷에 적응적으로 처리할 수 있게 된다. 따라서 시스템의 성능을 안정화시키며, 더불어 향상시킬 수 있다.

<28> 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

<29> 도 2는 본 발명에 따른 제어 패킷 관리 장치(210)에 대한 개략적인 블록도이며, 참조 번호 220은 제어 패킷 관리 장치(210)에서 전송되는 제어 패킷을 처리하는 호스트(Host)를 도시한 것이다.

<30> 제어 패킷 관리 장치(210)는 패킷 큐(211), 인터럽트(interrupt) 처리부(213), DMA(Direct Memory Access) 처리부(215), 삭제(discard) 처리부(217), 및 제어부(219)를 가지고 있다.

- <31> 패킷 큐(211)는 적어도 두 개 이상의 큐(Q1, Q2, ..., Qn)를 가지며, 제어 패킷 관리 장치(210)에 전달된 제어 패킷을 저장한다.
- <32> 인터럽트 처리부(213)는 패킷 큐(211)에 저장된 제어 패킷이 설정된 제1임계치 내에 쌓이면, 제어 패킷을 원-바이-원(one-by-one) 인터럽트 방식을 이용하여 호스트(220)의 CPU(221)에 전송한다. 이에, CPU(221)는 ISR을 활성화하여 제어 패킷을 처리한다.
- <33> DMA 처리부(215)는 패킷 큐(211)에 저장된 제어 패킷의 적체상태가 제1임계치 이상으로 쌓이면, 소정의 크기로 그룹핑하여 그룹 단위의 제어 패킷을 직접 액세스 메모리(Direct Memory Access:DMA) 방식으로 호스트(220)의 메인 메모리(223)에 기록한다.
- <34> 삭제 처리부(217)는 패킷 큐(211)에 저장된 제어 패킷의 적체상태가 제2임계치 이상으로 쌓이면, 패킷 큐(211)에 임시 저장된 제어 패킷 중 가장 많은 종류의 제어 패킷을 삭제한다.
- <35> 제어부(219)는 패킷 큐(211)에 저장된 제어 패킷의 적체상태를 관찰하여 적체 정도에 따라서 제어 패킷을 원-바이-원 인터럽트 방식, DMA 방식, 제어 패킷 삭제 방식 중 적응적으로 전송하도록 제어한다.
- <36> 도 3은 제어 패킷의 전달 경로를 적응적으로 변환하여 호스트(220)로 전달하는 동작과정에 대한 개념도이며, 도 4는 제어 패킷 관리 장치의 동작과정에 대한 흐름도이다. 이하에서는 도 3 및 도 4를 참조하여 본 발명에 따른 제어 패킷

관리 장치(210)에서 제어 패킷을 호스트(220)에 전송하는 동작과정을 상세하게 설명한다.

<37> 제어부(219)는 패킷 큐(211)의 제1큐(Q1)의 적체상태를 관찰한다(S411). 제어부(219)는 제1큐(Q1)에 기설정된 제1임계치(TH1)에 기초하여 제1큐(Q1)의 적체상태를 판단한다(S413). 제1큐(Q1)의 적체상태가 제1임계치(TH1) 미만이면($Q1 < TH1$), 현재의 제1큐(Q1)가 적체하지 않은 상태로 인식하고 제어부(219)는 동작모드를 제1 인터럽트 모드(As Soon As Possible:ASAP1)로 전환하여 호스트(220)에 제어 패킷을 전송한다(S415).

<38> 한편, 제어부(219)에서 제1큐(Q1)의 적체상태를 관찰한 결과, 제1임계치(TH1) 이상으로 제어 패킷이 쌓이면($Q1 \geq TH1$)(S417), 전달되는 제어 패킷이 점차 늘고 있다고 인식하고 동작모드를 제1 DMA 모드(DMA1)로 전환하여 호스트(220)에 제어 패킷을 전달한다(S419).

<39> 즉, DMA 처리부(215)는 제1큐(Q1)에 쌓인 제어 패킷을 소정 크기로 그룹핑하여 그룹 단위의 제어 패킷을 직접 메모리 액세스 방식으로 호스트(220)의 메인 메모리(223)에 기록한다. 이때, 제어부(219)는 DMA 처리부(215)를 동작시키기 위해, 호스트(220)의 CPU(221)에 메인 메모리(223)의 소정영역을 요청하며, 이에, CPU(221)는 DMA 처리부(215)에서 직접 메모리 액세스 방식을 사용할 수 있도록 메인 메모리(223)의 소정영역을 설정한다. 이에 의해 DMA 처리부(215)는 그룹단위의 제어 패킷을 메인 메모리(223)의 설정된 소정영역에 직접 액세스 하게 된다. 따라서, 데이터 버스를 효율적으로 사용할 수 있다.

- <40> 제어부(219)는 제1 DMA 모드(DMA1)로 동작하는 동안 제1큐(Q1)의 적체상태를 관찰한다. 이때, 제1큐(Q1)의 적체상태가 제1임계치(TH1) 미만이 되면($Q1 < TH1$), 제어부(219)는 다시 제1 인터럽트 모드(ASAP1)로 전환하여 제어 패킷을 원-바이-원 인터럽트 방식으로 호스트(220)에 전송한다.
- <41> 반면, 제1큐(Q1)의 적체상태를 관찰한 결과, 제1큐(Q1)에 적체가 계속해서 누적되어, 누적된 제어 패킷이 제2임계치(TH2) 이상이 되는 경우($Q1 > TH2$)(S417), 제어부(219)는 전달되는 제어 패킷이 폭주 상태로 인식하고 제1 삭제 모드(DROP1)로 전환한다(S421).
- <42> 즉, 삭제 처리부(217)에서 순간적으로 폭주하고 있는 빈도가 가장 높은 제1 종류의 제어 패킷을 삭제시킨다. 일반적으로 제어 패킷이 순간적으로 폭주하는 경우는, 다양한 종류의 제어 패킷 중 한 종류의 제어 패킷이 과도하게 발생하는 경우가 많다.
- <43> 따라서, 제어부(219)는 제1큐(Q1)에 적체된 제어 패킷 중 제1종류의 제어 패킷을 삭제시킨 후, 나머지 다른 종류의 제어 패킷만을 제2큐(Q2)에 저장시킨다(S423).
- <44> 이 후, 제어부(219)는 제2큐(Q2)의 적체상태를 관찰하여 적체 상태에 대응하여 앞서 설명된 바와 같은 세가지 동작모드, 즉, 제2 인터럽트 모드(ASAP2), 제2 DMA 모드(DMA2), 및 제2 삭제 모드(DROP2)로 다시 반복하여 동작되며, 이하에서 상세하게 설명된다.

- <45> 제어부(219)는 제2큐(Q2)의 적체상태를 관찰한다. 제2큐(Q2)의 적체상태가 제3임계치(TH3) 미만이면($Q2 < TH3$)(S425), 제2 인터럽트 모드(ASAP2)로 제2큐(Q2)에 적체된 제어 패킷을 호스트(220)로 전달한다(S427). 이때, 제어부(219)는 제2큐(Q2)의 적체상태 및 제1큐(Q1)의 적체상태로 동시에 관찰한다.
- <46> 제1큐(Q1)를 관찰한 결과, 더 이상의 폭주 현상이 발생하지 않아서 제1큐(Q1)의 적체상태가 제1임계치(TH1) 미만이 되는 경우(S429), 제어부(219)는 제1 삭제 모드(DROP1)를 해제한다. 따라서, 제2큐(Q2)에 쌓인 제어 패킷을 제2 인터럽트 모드(ASAP2)로 호스트(220)에 전송시키고, 다시 제1 인터럽트 모드(ASAP1)로 전환하여 제1큐(Q1)에 쌓인 제어 패킷을 제1 인터럽트 모드(ASAP1)로 호스트(220)에 전달한다(S415).
- <47> 한편, 제2큐(Q2)의 적체상태를 관찰한 결과, 폭주가 계속되어 제3임계치(TH3) 이상으로 제어 패킷이 쌓이면($Q2 \geq TH3$)(S431), 제어부(219)는 DMA 처리부(215)를 동작시켜 동작모드를 제2 DMA 모드(DMA2)로 전환한다(S433). 앞서 설명된 바와 같이, 호스트(220)의 메인 메모리(223)의 소정영역을 할당 받아서, 제2큐(Q2)에 쌓인 제어 패킷을 그룹 단위의 메인 메모리(223)에 직접 기록한다.
- <48> 제어부(219)는 제2 DMA 모드(DMA2)로 동작하는 동안 제2큐(Q2)의 적체상태를 관찰하고, 제2큐(Q2)의 적체상태가 제3임계치(TH3) 미만이면($Q2 < TH3$) 다시 제2인터럽트 모드(ASAP2)로 전환시킨다.
- <49> 반면, 제2큐(Q2)의 적체상태를 관찰한 결과, 제2큐(Q2)의 적체상태가 계속 해서 누적되어 제4임계치(TH4) 이상이 되는 경우($Q2 \geq TH4$)(S431), 제어부(219)는

극심한 폭주 상태임을 인식하고 제2 삭제 모드(제2 DROP state)로 전환시킨다 (S435).

<50> 여기서, 제2 삭제 모드(DROP2)는, 제1 삭제 모드(DROP1)에 의해 제1종류의 제어 패킷을 제외한 나머지 다른 종류의 제어 패킷이 제2큐(Q2)에 저장되는 것을 차단하는 것이다. 즉, 제어부(219)는 제1종류의 제어 패킷이 필터링되어 다른 종류의 제어 패킷들 마저도 삭제시키도록 삭제 처리부(217)를 제어한다.

<51> 따라서, 제2 삭제 모드(DROP2)로 동작하게 되면, 제2큐(Q2)에는 더 이상의 제어 패킷이 적체되지 않으며, 이전에 적체된 제어 패킷에 대해서만 제3 및 제4 임계치를 적용하여 제2 DAM 모드(DMA2)에서 제2 인터럽트 모드(ASAP2)로 순차적으로 전환되게 된다.

<52> 이와 같은 과정에 의해 제2 인터럽트 모드(ASAP2)가 되면, 앞서 설명된 바와 같이, 제어부(219)는 제1큐(Q1)의 적체상태를 관찰한다. 관찰결과, 제1큐(Q1)의 적체상태가 제1임계치(TH1) 미만이 되는 경우, 제어부(219)는 제1 삭제 모드(DROP1)에서 다시 제1 인터럽트 모드(ASAP1)로 전환시켜 원-바이-원 인터럽트 방식에 의해 제1큐(Q1)의 제어 패킷을 호스트(220)에 전송한다.

<53> 이상에서는 도 2를 참조하여 패킷 큐(211)에 제1 및 제2큐(Q1,Q2)를 가지는 경우를 예로서 설명하였으나, 패킷 큐(211)는 적어도 2개 이상의 큐(Q1,Q2,...,Qn)를 갖을 수 있다.

<54> 예컨대, 패킷 큐(211)가 제1, 제2, 및 제3큐(Q1,Q2,Q3)를 갖을 경우에는 제2큐(Q)에는 첫번째로 빈도가 높은 제1종류의 제어 패킷이 제거된 다른 종류의 제

어 패킷을 저장하고, 제3큐(Q3)에는 두번째로 빈도가 높은 제2종류의 제어 패킷이 제거된 다른 종류의 제어 패킷을 저장한다.

<55> 따라서, 제2 삭제 모드(DROP2)내에 제3 인터럽트 모드(ASAP3), 제3 DMA 모드(DMA3), 및 제3 삭제 모드(DROP3)를 갖게 된다.

<56> 제어부(219)는 두번째로 빈도가 높은 제2종류의 제어 패킷이 삭제되어 제3큐(Q3)에 저장된 나머지 제어 패킷의 적체상태에 대응하여 제3 인터럽트 모드(ASAP3), 제3 DMA 모드(DMA3), 및 제3 삭제 모드(DROP3)로 동작을 전환시킨다. 여기서, 제3 삭제 모드(DROP3)로 전환되는 경우, 제3 삭제 모드(DROP3)는 제2 삭제 모드(DROP2)에 의해 제2종류의 제어 패킷이 제외된 나머지 다른 종류의 제어 패킷이 제3큐(Q3)에 저장되는 것을 차단시킨다.

<57> 또한, 앞서와 마찬가지로, 제3 인터럽트 모드(ASAP3)로 동작하는 동안 제어부(219)는 제1큐(Q1)의 적체상태를 관찰하며, 제1큐(Q1)의 적체상태가 제1임계치(TH1) 미만이 되는 경우, 제2 삭제 모드(DROP2)에서 다시 제1 인터럽트 모드(ASAP1)로 전환시킨다.

<58> 이상에서는 제2 및 제3 인터럽트 모드(ASAP2, ASAP3)에서 동작하는 동안 제1큐(Q1)의 적체상태를 관찰하여 제1큐(Q1)의 적체상태가 제1임계치(TH1) 미만이 되는 경우에($Q1 < TH1$), 제1 및 제2 삭제 모드(DROP1, DROP2)를 해제하고 제1 인터럽트 모드(ASAP1)로 전환하는 경우를 예로 설명하였다. 그러나, 제1큐(Q1)의 적체상태가 제2임계치(TH2) 미만이 되는 경우($Q1 < TH2$), 제1 및 제2 삭제 모드(DROP1, DROP2)를 해제하고 제1 DMA 모드(DMA2)로 전환하도록 설계할 수도 있다.

<59> 따라서, 전달되는 제어 패킷의 양에 적응적으로 전송대역폭을 할당함으로써 시스템의 전체 성능을 향상시킬 수 있다.

【발명의 효과】

<60> 본 발명에 따르면, 첫째, 제어 패킷을 임시 저장하는 큐에 적체되지 않은 상태에서는 원 바이 원 인터럽트 방식에 의해 제어 패킷을 호스트에 전달함으로써 지연시간을 최소화할 수 있다.

<61> 둘째, 제어 패킷이 일시적으로 큐에 적체되는 경우에는 고대역폭을 할당함으로써 호스트에서 처리되는 제어 패킷의 속도를 향상시킴에 따라서, 폭주하는 제어 패킷에 적응적으로 처리할 수 있게 된다. 따라서 시스템의 성능을 안정화시키며, 더불어 향상시킬 수 있게 된다.

<62> 이상에서는 본 발명의 바람직한 실시예에 대해서 도시하고 설명하였으나, 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 범위 내에 있게 된다.

【특허청구범위】**【청구항 1】**

전달된 제어 패킷을 저장하기 위한 복수의 큐를 가지는 패킷 큐;

상기 복수의 큐 중 어느 하나의 큐에 저장된 상기 제어 패킷을 원-바이-원 (one-by-one) 인터럽트 방식으로 호스트에 전달하는 제1처리부;

상기 어느 하나의 큐에 저장된 상기 제어 패킷을 소정의 크기로 그룹핑하여 그룹 단위의 제어 패킷을 직접 메모리 액세스(DMA:Direct Memory Access) 방식으로 상기 호스트에 전달하는 제2처리부;

상기 어느 하나의 큐에 저장된 상기 제어 패킷 중 빈도가 가장 높은 종류의 제어 패킷을 삭제하는 제3처리부; 및

상기 복수의 큐에 저장된 상기 제어 패킷의 적체상태에 대응하여 선택적으로 상기 제1, 제2, 및 제3처리부의 동작여부를 제어하는 제어부;를 포함하며,

상기 제어부는, 상기 제3처리부에서 삭제된 상기 빈도가 가장 높은 종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 상기 복수의 큐 중 다른 하나의 큐에 저장하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 2】

제 1항에 있어서,

상기 제어부는,

상기 다른 하나의 큐에 저장된 상기 다른 종류의 제어 패킷의 적체상태에 대응하여 선택적으로 상기 제1, 제2, 및 제3처리부의 동작여부를 제어하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 3】

제 1항에 있어서,

상기 패킷 큐는 기설정된 임계치를 가지며,

상기 제어부는, 상기 임계치에 기초하여 상기 패킷 큐에 적체상태를 인식하고, 상기 적체상태에 대응하여 상기 제1, 제2, 제3처리부의 동작여부를 제어하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 4】

제 1항에 있어서,

상기 제어부는,

상기 어느 하나의 큐의 적체상태가 제1임계치 미만인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 상기 인터럽트 방식으로 상기 호스트에 전달하도록 상기 제1처리부를 제어하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 5】

제 1항에 있어서,

상기 제어부는,

상기 어느 하나의 큐의 적체상태가 제1임계치 이상인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 그룹핑하여 상기 그룹 단위의 제어 패킷을 직접 메모리 액세스 방식으로 상기 호스트에 전달하도록 상기 제2처리부를 제어하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 6】

제 1항에 있어서,

상기 제어부는,

상기 어느 하나의 큐의 적체상태가 제2임계치 이상인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷 중 상기 빈도가 가장 높은 제1종류의 제어 패킷을 삭제하도록 상기 제3처리부를 제어하며,

상기 제1종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 상기 다른 하나의 큐에 저장하도록 상기 패킷 큐를 제어하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 7】

제 2항에 있어서,

상기 제어부는,

상기 다른 하나의 큐의 적체상태가 제3임계치 미만인 경우, 상기 다른 하나의 큐에 저장된 상기 제어 패킷을 상기 인터럽트 방식으로 상기 호스트에 전달하도록 상기 제1처리부를 제어하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 8】

제 2항에 있어서,

상기 제어부는,

상기 다른 하나의 큐의 적체상태가 제3임계치 이상인 경우, 상기 다른 하나의 큐에 저장된 상기 제어 패킷을 그룹핑하여 상기 그룹 단위의 제어 패킷을 직접 메모리 액세스 방식으로 상기 호스트에 전달하도록 상기 제2처리부를 제어하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 9】

제 2항에 있어서,

상기 제어부는,

상기 다른 하나의 큐의 적체상태가 제4임계치 이상인 경우,

상기 다른 하나의 큐에 저장된 상기 다른 종류의 제어 패킷 중 빈도가 가장 높은 제2종류의 제어 패킷을 삭제하도록 상기 제3처리부를 제어하며,

상기 제2종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 상기 복수의 큐 중 나머지 다른 하나의 큐에 저장하도록 상기 패킷 큐를 제어하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 10】

제 9항에 있어서,

상기 패킷 큐에 상기 나머지 다른 하나의 큐가 비존재할 경우, 상기 제어부는,

상기 다른 하나의 큐의 적체상태가 상기 제4임계치 이상이 되면, 상기 다른 종류의 제어 패킷이 상기 다른 하나의 큐에 저장되는 것을 막도록 상기 제3처리부를 제어하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 11】

복수의 큐 중 어느 하나의 큐에 전달된 제어 패킷을 저장하는 제1저장단계;

상기 하나의 큐에 저장된 상기 제어 패킷을 원-바이-원(one-by-one) 인터럽트 방식으로 호스트에 전달하는 제1처리단계;

상기 어느 하나의 큐에 저장된 상기 제어 패킷을 소정의 크기로 그룹핑하여 그룹 단위의 제어 패킷을 직접 메모리 액세스(DMA:Direct Memory Access) 방식으로 상기 호스트에 전달하는 제2처리단계;

상기 어느 하나의 큐에 저장된 상기 제어 패킷 중 빈도가 가장 높은 종류의 제어 패킷을 삭제하는 제3처리단계; 및

상기 제3처리단계에서 삭제된 상기 빈도가 가장 높은 종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 상기 복수의 큐 중 다른 하나의 큐에 저장하는 제2저장단계;를 포함하며,

상기 제1, 제2, 및 제3처리단계의 동작여부는 상기 어느 하나의 큐에 저장된 상기 제어 패킷의 적체상태에 대응하여 선택적으로 동작하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 방법.

【청구항 12】

제 11항에 있어서,

상기 제1, 제2, 및 제3처리단계는,

상기 다른 하나의 큐에 저장된 상기 다른 종류의 제어 패킷의 적체상태에 대응하여 선택적으로 동작하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 장치.

【청구항 13】

제 11항에 있어서,

상기 복수의 큐는 기설정된 임계치를 가지며,

상기 임계치에 기초하여 상기 복수의 큐의 적체상태를 인식하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 방법.

【청구항 14】

제 11항에 있어서,

상기 제1처리단계는,

상기 어느 하나의 큐의 적체상태가 제1임계치 미만인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 상기 인터럽트 방식으로 상기 호스트에 전달하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 방법.

【청구항 15】

제 11항에 있어서,

상기 제2처리단계는,

상기 어느 하나의 큐의 적체상태가 제1임계치 이상인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷을 그룹핑하여 상기 그룹 단위의 제어 패킷을 직접 메모리 액세스 방식으로 상기 호스트에 전달하는 것을 패킷 포워딩 시스템의 제어 패킷 관리 방법.

【청구항 16】

제 11항에 있어서,

상기 제3처리단계는,

상기 어느 하나의 큐의 적체상태가 제2임계치 이상인 경우, 상기 어느 하나의 큐에 저장된 상기 제어 패킷 중 상기 빈도가 가장 높은 제1종류의 제어 패킷을 삭제하며,

상기 제2저장단계는, 상기 제1종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 상기 다른 하나의 큐에 저장하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 방법.

【청구항 17】

제 12항에 있어서,

상기 제1처리단계는,

상기 다른 하나의 큐의 적체상태가 제3임계치 미만인 경우, 상기 다른 하나의 큐에 저장된 상기 제어 패킷을 상기 인터럽트 방식으로 상기 호스트에 전달하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 방법.

【청구항 18】

제 12항에 있어서,

상기 제2처리단계는,

상기 다른 하나의 큐의 적체상태가 제3임계치 이상인 경우, 상기 다른 하나의 큐에 저장된 상기 제어 패킷을 그룹핑하여 상기 그룹 단위의 제어 패킷을 직접 메모리 액세스 방식으로 상기 호스트에 전달하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 방법.

【청구항 19】

제 12항에 있어서,

상기 제3처리단계는,

상기 다른 하나의 큐의 적체상태가 제4임계치 이상인 경우,

상기 다른 하나의 큐에 저장된 상기 다른 종류의 제어 패킷 중 빈도가 가장 높은 제2종류의 제어 패킷을 삭제하며,

상기 제2종류의 제어 패킷 이외의 다른 종류의 제어 패킷을 상기 복수의 큐 중 나머지 다른 하나의 큐에 저장하는 제3저장단계;를 더 포함하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 방법.

【청구항 20】

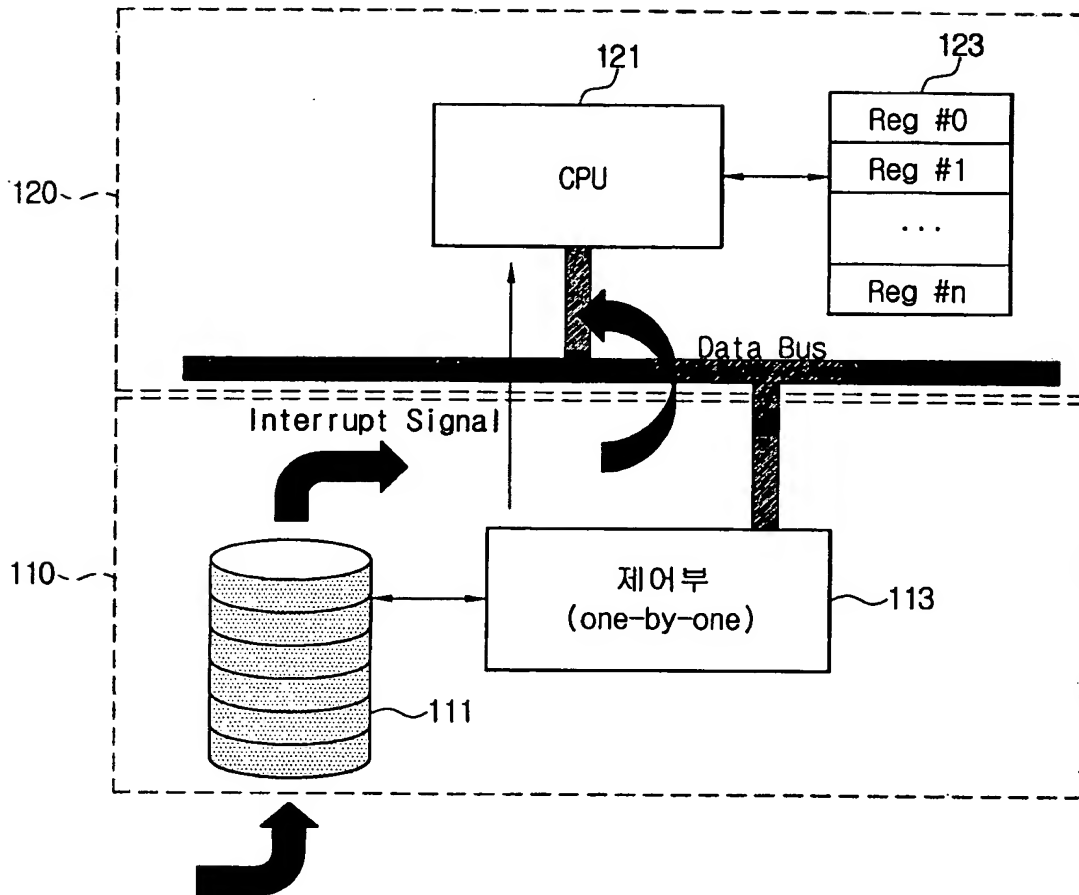
제 19항에 있어서,

상기 나머지 다른 하나의 큐가 비존재할 경우,

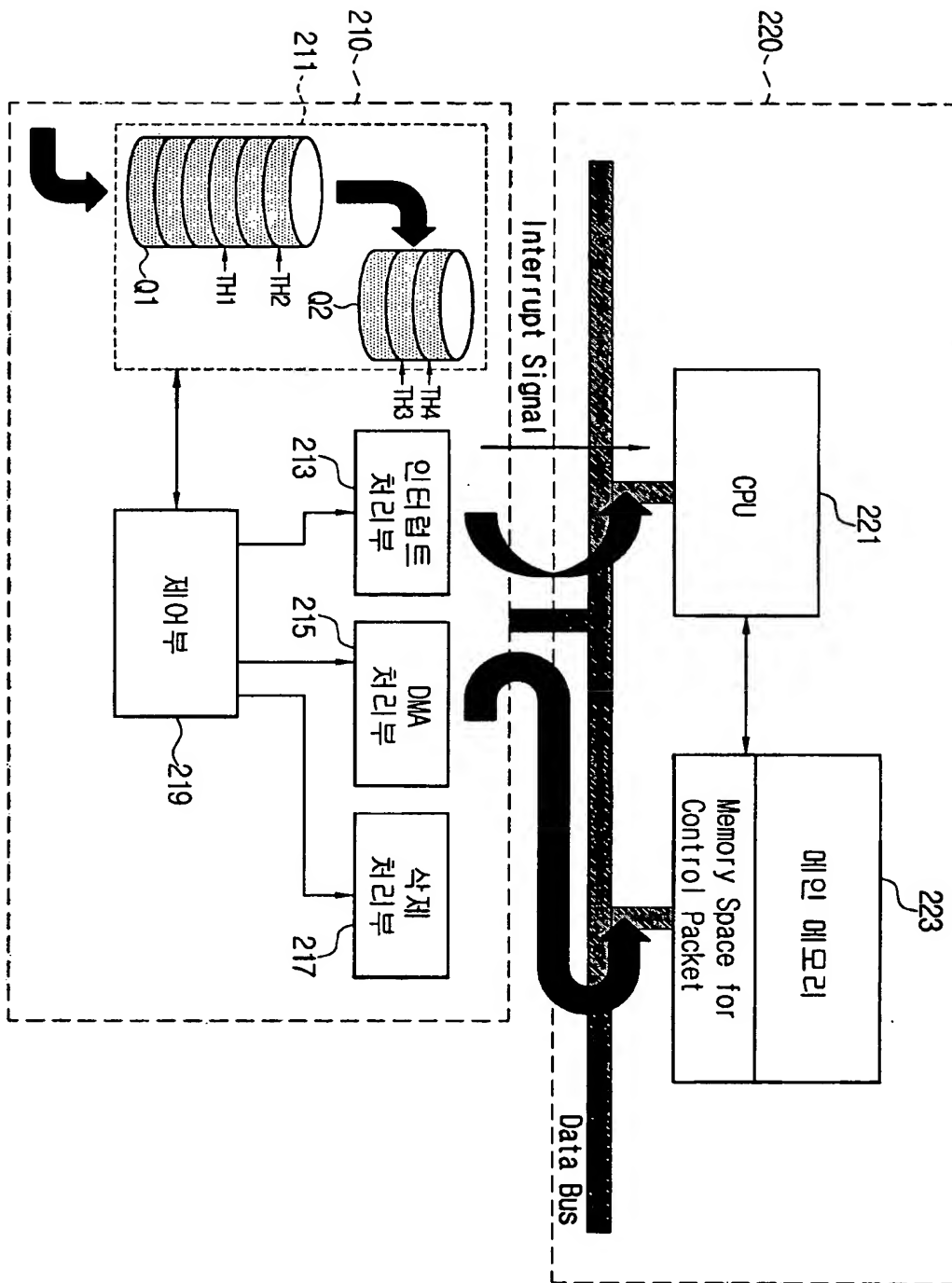
상기 다른 하나의 큐의 적체상태가 상기 제4임계치 이상이 되면, 상기 다른 종류의 제어 패킷이 상기 다른 하나의 큐에 저장되는 것을 차단하는 단계;를 더 포함하는 것을 특징으로 하는 패킷 포워딩 시스템의 제어 패킷 관리 방법.

【도면】

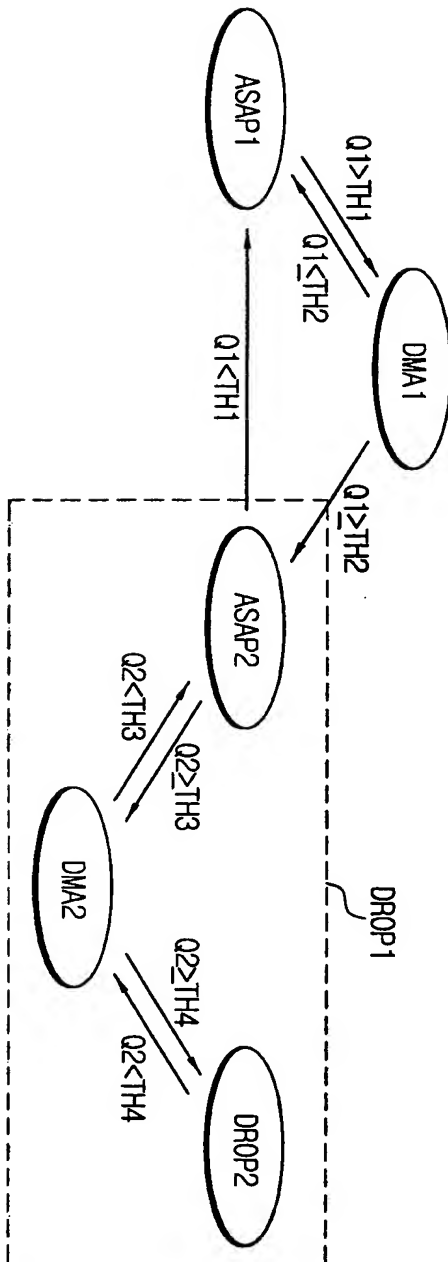
【도 1】



【도 2】



【도 3】



【도 4】

